

淡江大學九十三年學年度碩士班招生考試試題

系別：電機工程學系

科目：超大型積體電路概論

准帶項目請打「○」否則打「×」

○ 簡單型計算機

本試題共 / 頁

- (10%) 由於MOS製程的進步，二氧化矽(SiO₂)層愈做愈薄，有何好處？然而薄的二氧化矽層對MOS有何不利的影響？請說明。
- (10%) 畫出圖1的CMOS佈局圖的電路及其真值表，舉出此電路應用的一個實例。
- (5%) 四層金屬(metal)之積體電路，在佈局上應將系統信號，如系統脈波或電源走線置於那一層？為什麼？
- (10%) 請用Static CMOS邏輯完成XOR函數 $F = \bar{A} \cdot B + A \cdot \bar{B}$ 。
- (15%) 在深次微米(deep submicron)技術裏，傳輸載子在短通道MOS元件會有何效應發生？和長通道電晶體比較起來，造成導通電流飽和(saturation)的 V_{DS} 變大還是變小？為什麼？
- (10%) 已知有三個反相器(inverter)串在一起， $C_{load}=200\text{fF}$ ， $C_{in}=1\text{fF}$ ，本質時間常數(intrinsic time constant) $\tau_{inv}=7.5\text{ps}$ ，且反相器的self capacitance對input capacitance的比值 $\gamma=0.5$ 。試計算fanout ratio(f)及total delay。
- (10%) 請說明何謂punchthrough？何謂clock feedthrough？請繪圖說明之。
- (10%) 畫出CMOS剖面圖，標出寄生的BJT電晶體，並解釋Latch-up現象是如何發生的。
- (15%) 能量延遲積(Energy-delay product)為低功率設計的一個參考指標， $EDP=PDP \times t_p$ ，其中PDP為功率延遲積(power-delay product)， t_p 為平均傳遞延遲。如圖2所示，a、b、和c三條線何者較佳？為何功率延遲積可能無法掌握平均傳遞延遲的改善情形？
- (5%) 已知動態切換功率(Dynamic Switching Power) $P = \alpha_{0 \rightarrow 1} C_L V_{DD}^2 f_{clk}$ ，圖3表示某邏輯閘輸出電壓(V_{out})在8個脈波中的變化情形，請算出activity factor($\alpha_{0 \rightarrow 1}$)？

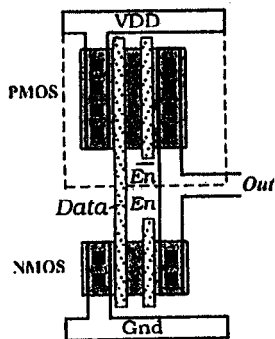


圖 1

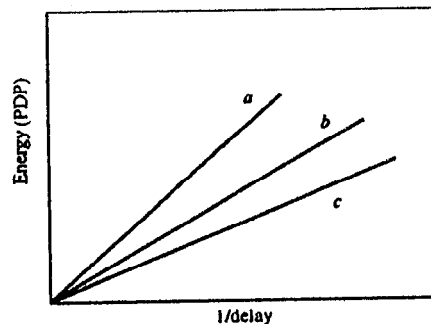


圖 2

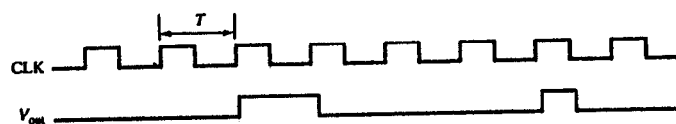


圖 3