

淡江大學九十一學年度碩士班招生考試試題

系別：電機工程學系

科目：超大型機體電路概論

准帶項目請打「○」否則打「×」	
計算機	字典
×	×

本試題共 / 頁

1. (5%) 試完成圖 1 電路所對應之 PMOS 部分。
2. (15%) 以 Pseudo-NMOS Logic 完成 $F = \overline{ABC + DE}$ 。若該電路其所有 NMOS 尺寸皆選擇 $W_n = 10\mu m$ 完成，則 PMOS 應選擇的尺寸為 $W_p = 1\mu m, 5\mu m$ 或 $10\mu m$ ？為什麼？($L_p = L_n = L_{min}$)
3. (10%) 畫出 CMOS P-well 製程的 Cross-Section View，並標出寄生的電晶體。並且說明 Layout Rule 中的 PMOS 與 NMOS 的距離是為了避免什麼現象的發生？
4. (15%) 為圖 2 之 CPL 電路的輸出標上正確的輸出函數。再為其加上適當的 PMOS Latch，使其成為 Latched CPL。並且簡要說明該 CMOS Latch 的作用為何？
5. (5%) 簡要說明圖 3 的電路作用為何？
6. (10%) 試列表說明 MOS 之 C_{gb}, C_{gs}, C_{gd} 在 MOS 分別為 OFF, Sat, 及 Linear Region 的變化。($C_{ox} = \frac{\epsilon_{SiO_2}}{x_0}$)
7. (15%) CMOS 之 Dynamic Switching Power 公式為 $P = \alpha_{0 \rightarrow 1} \cdot C_L \cdot V_{DD} \cdot f \cdot \Delta V$ 。公式中之 ΔV 所指為何？降低操作頻率是否能節省能源？為什麼？
8. (10%) 具四層 Metal 之 Digital IC，其 System Clock 應儘量選用那一層金屬作為導線？為什麼？
9. (5%) NMOS $V_G = 3V, V_S = 0V, V_D = 4V$ 。試畫出 Cross-Section View，並標出 N-Channel 及 Depletion Region 的形狀。(注意寬度變化，且 $V_T = 0.6V$)
10. (10%) 完成圖 4 Layout 中 PMOS 部分的金屬線。並說明 $F = ?$

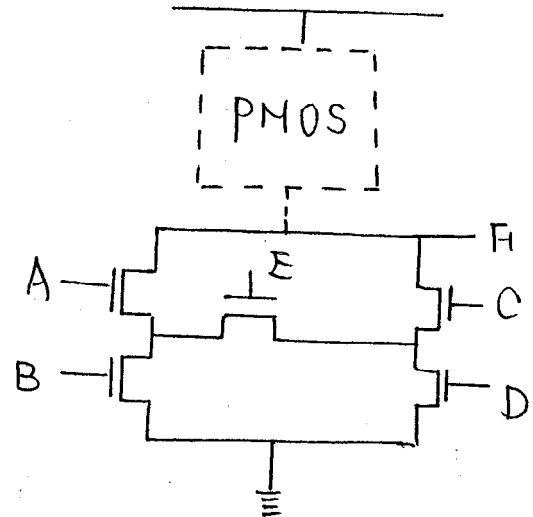


圖 1

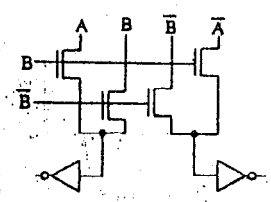


圖 2

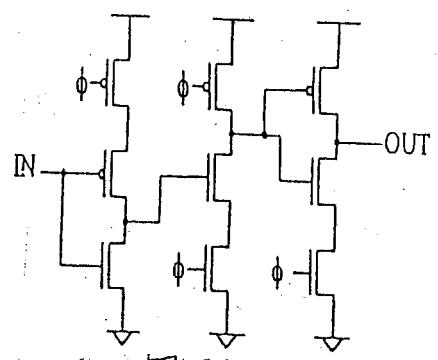


圖 3

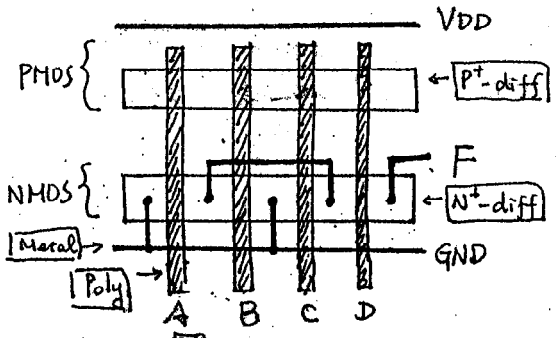


圖 4