

淡江大學九十學年度碩士班招生考試試題

系列：電機工程學系

科目：超大型積體電路概論

准帶項目請打「○」否則打「x」	
計算機	字典

本試題共 2 頁

本試題雙面印製

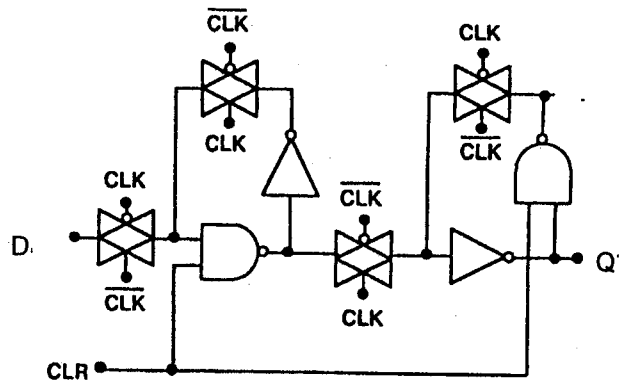
1. 各以 Static CMOS Logic 及 Pseudo NMOS Logic 分別完成下面的 Function

(A) $F_1 = \overline{AB + CDE}$ (Static CMOS Logic) (5)

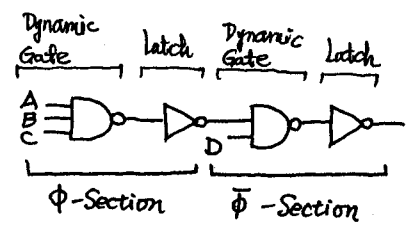
(B) $F_2 = AB + BC + AC$ (Pseudo NMOS Logic) (5)

2. (A) 試以 N-Well CMOS 製程，繪出 CMOS Inverter 之 Cross-Section View. (5)
 (B) 並在圖上標示出寄生的 PNP 及 NPN 電晶體位於何處？(3)
 (C) 此寄生電晶體將造成 CMOS chip 什麼問題？從 layout Design Rule 有什麼樣的相對應解決辦法？(4)

3. (A) 如右圖之 D-Type FF 的操作是 Positive 或 Negative Edge Trigger? (4)
 (B) CLR 的作用為何？(4)
 (C) 限用 NOR, Inverter, 及 Transmission Gate 設計具有 SET=1 時則使 Q=1 之 DFF. (6)



4. 分別以 NORA (No Race) 電路及 TSPC (True Single Phase Clocking) 電路完成右圖之 Pipelined 結構。其中之 NAND Gate 均改成 Dynamic Logic Gate (P或N型均可)。Inverter 則改成 Latch Gate



淡江大學九十學年度碩士班招生考試試題

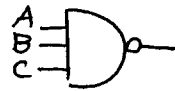
系列：電機工程學系

科目：超大型積體電路概論

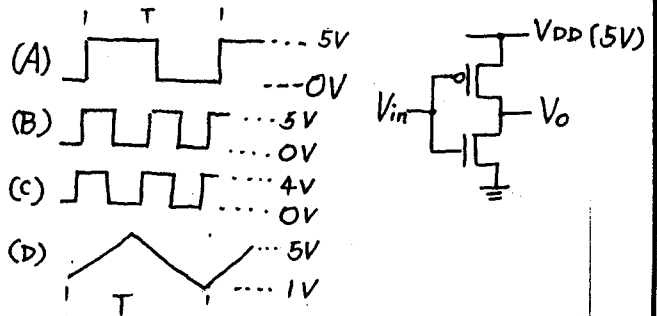
准帶項目請打「○」否則打「×」	
計算機	字典

本試題共 2 頁

5. 試以 Static CMOS Logic 完成 3-input NAND Gate,
 (5) 並假設訊號 A 最慢輸入的訊號, 則電路設計 A 應如何接線? 使輸出速度的影响最少.



6. 如右圖之 CMOS Inverter, 其 $V_{tn} = -V_{tp} = 0.5V$
 (15) 若其輸入訊號 V_{in} 分別如 (A) ~ (D), 則其可能之功率消耗形式為何?
 (分別對 (A), (B), (C), (D) 各種輸入各自討論)
 其中那一種輸入造成的功率消耗最少.



7. 假設只有訊號 A 與 B. 試以最少的 MOS Transistors 設計 CMOS XOR Gate
 (10) (A, B 的訊號是 Full Voltage Swing 即 "logic 1" = V_{DD} "logic 0" = GND, 你設計之 CMOS XOR Gate 的輸出仍帶保有 Full Voltage Swing 的特質。當然本題你仍可用 V_{DD} 與 GND 的 Power line)

8. 如右圖一個 Min. Size 的 Inverter 將去推動一個 200 倍大的 Inverter
 (10) 試依下列要求設計其中的 Tapered Buffer



- (A) Tapered Buffer 的 Delay 要最短, 則應如何加入 Buffer?
 (B) 同時考慮 Buffer 的 Area 及 Delay, 重設計此 Tapered Buffer.